

①9 BUNDESREPUBLIK

DEUTSCHLAND



DEUTSCHES  
PATENTAMT

①2 Off nlegungsschr

①1 DE 31 42 591 A 1

⑤1 Int. Cl. 3:

H 02 H 7/127

②1 Aktenzeichen:  
②2 Anmeldetag:  
④3 Offenlegungstag:

P 31 42 591.7  
27. 10. 81  
14. 10. 82

③0 Unionspriorität: ③2 ③3 ③1  
27.02.81 US 239086

⑦1 Anmelder:  
Westinghouse Electric Corp., 15222 Pittsburgh, Pa., US

⑦4 Vertreter:  
Fleuchaus, L., Dipl.-Ing., 8000 München; Wehser, W.,  
Dipl.-Ing., Pat.-Anw., 3000 Hannover.

⑦2 Erfinder:  
Turley, Alfred P., Glen Burnie, Md., US

#### ⑤4 Überspannungsschutzschaltung

Für eine Überspannungsschutzschaltung ist eine Schicht eines polykristallinen Siliciums isoliert auf einem Substrat angeordnet und umfaßt eine Vielzahl von PN-Übergängen zwischen benachbart zueinandergelegenen Bereichen entgegengesetzter Leitfähigkeit. Dadurch entsteht eine Vielzahl von in Serie und gegeneinander geschalteten Diodenpaaren, welche als Entladungsstrecke für Überspannungen dienen, ohne daß Minoritätsträger in das Halbleitersubstrat injiziert werden. Die Herstellung der Überspannungsschutzschaltung kann ohne zusätzliche Verfahrensschritte bei der Herstellung von mit einem Gate versehenen Silicium-Halbleiteranordnungen hergestellt werden.

(31 42 591)

DE 3142591 A 1

DE 3142591 A 1

3142591

**FLEUCHAUS & WEHSE**

PATENTANWÄLTE  
Professional representatives before  
the European Patent Office

DIPL.-ING. LEO FLEUCHAUS  
8000 München 71  
Melchiorstraße 42  
☎ 089 - 792800  
Telegramm Transmorsement, München

DIPL.-ING. WULF WEHSE  
3000 Hannover 1  
☎ 0511 - 321449

München den 26. Oktober 1981

Westinghouse Electric Corp.  
Westinghouse Building  
Gateway Center  
Pittsburgh, Pennsylvania 15222,  
USA

P a t e n t a n s p r ü c h e

1. Überspannungsschutzschaltung bestehend aus einer nicht leitenden auf einem Substrat angebrachten Schicht und einer zweiten über der nichtleitenden Schicht angeordneten Halbleiterschicht, dadurch gekennzeichnet, daß die Halbleiterschicht aus einer Vielzahl von P- und N-dotierten Bereichen (69, 70, 71, 72, 73, 74, 75,) besteht, zwischen welchen PN-Übergänge (76, 77, 78, 79, 80, 81) ausgebildet sind, und daß die P- und N-dotierten Bereiche in Serienschaltung an eine Signalleitung angeschlossen sind, um für vorgegebene Schwellwerte übersteigende Spannungen eine Entladungsstrecke zu bilden.
2. Überspannungsschutzschaltung nach Anspruch 1 zum Schutze von integrierten Schaltungen gegen statische Ladung auf Eingangs/Ausgangsleitungen, dadurch gekennzeichnet, daß die Überspannungsschutzschaltung and die Eingangs/Ausgangsleitungen angeschlossen ist.

3. Überspannungsschutzschaltung nach Anspruch 1 oder 2,  
dadurch gekennzeichnet,  
daß das Substrat aus einem Halbleitermaterial besteht.
4. Überspannungsschutzschaltung nach Anspruch 1, 2 oder 3,  
dadurch gekennzeichnet,  
daß das Substrat aus Silicium besteht.
5. Überspannungsschutzschaltung nach Anspruch 1 oder 2,  
dadurch gekennzeichnet,  
daß das Substrat aus Galliumarsenid besteht.
6. Überspannungsschutzschaltung nach Anspruch 1, dadurch  
gekennzeichnet,  
daß das Substrat aus Silicium und die nichtleitende Schicht aus  
Siliciumoxyd besteht.
7. Überspannungsschutzschaltung nach Anspruch 1 oder 2,  
dadurch gekennzeichnet, daß das Halbleitermaterial ein poly-  
kristallines Silicium ist.

---

### Überspannungsschutzschaltung

---

Die Erfindung betrifft eine Überspannungsschutzschaltung bestehend aus einer nicht leitenden auf einem Substrat angebrachten Schicht angeordneten Halbleiterschicht.

Gewisse Halbleiteranordnungen und insbesondere Halbleiteranordnungen mit vergrabenen Bereichen, wie z.B. bei ladungsgekoppelten Speichern (CCD), erfordern Gate-Spannungen, welche gegenüber dem Potential des Halbleiterkörpers positive und negative Werte annehmen. Das Gate muß gegen statische Aufladungen geschützt werden, da das verwendete nicht leitende Material in der Halbleiteranordnung nur Spannungen zwischen etwa 100 und 150 Volt Widerstand leisten kann, bevor es permanent beschädigt wird. Bisher verwendete Schutzschaltungen für MOS-Halbleiteranordnungen benutzen eine Bulk-Zenerdiode, wie sie in Fig. 1 dargestellt ist. Eine Schutzschaltung aus einem Gate-gesteuerten MOS-Transistor ist in Fig. 2 dargestellt, wogegen eine weitere Diodenschutzanordnung mit seitlichem Durchgriff in Fig. 3 gezeigt ist. Die Diodenschutzschaltung mit seitlichem Durchgriff ist in dem Aufsatz "Protective Device for MOS Integrated Circuits" von R.R. Iyer in der Zeitschrift

Proceedings

Proceedings of the IEEE, Band 56, Seiten 1233-1224, Juli 1968 beschrieben.

Die in den Fig. 1 bis 3 beschriebenen Anordnungen haben alle die Schwierigkeit, daß an das Gate der MOS-Anordnung angelegten Taktspannungen die Durchlaßspannung der PN-Diode während der positiven Auslenkung nicht übersteigen dürfen. Das Eliminieren oder Festhalten der positiven Auslenkung von Taktspannungen stellt eine ernsthafte Begrenzung für gewisse Typen der ladungsgekoppelten Speicher dar, die eine positive Taktspannung für einen einwandfreien Betrieb benötigen.

In Fig. 4 ist eine bekannte Diodenschutzschaltung beschrieben, bei der gegeneinander geschaltete Dioden verwendet werden und damit eine Möglichkeit bietet, Taktspannungen an das Gate anzulegen, welche sowohl in positiver als auch negativer Richtung wirken. Der Diodenaufbau mit gegeneinandergeschalteten Dioden hat den Nachteil, daß ein zusätzlicher Verfahrensschritt erforderlich ist, um einen topfförmigen P-Potentialbereich zu schaffen. Außerdem können aus dem gleitenden P-Potentialbereich Minoritätsträger in das Substrat injiziert werden, wenn temporär Durchlaßvorspannungen aufgrund einer kapazitiven Ankopplung an Taktleitungen wirksam sind. Bei leitungsgekoppelten Speichern können diese Minoritätsträger in den Potentialbereichen gesammelt werden und als Fremdsignal wirksam werden.

Der Erfindung liegt deshalb die Aufgabe zugrunde eine Überspannungsschutzschaltung zu schaffen, welche sowohl gegen positive als auch negative Spannungen schützt und bei der Herstellung integrierter Schaltkreise keine zusätzlichen Verfahrensschritte erforderlich macht. Dabei soll sichergestellt werden, daß keine gleitenden

diffundierten

diffundierten Bereiche entstehen, von welchen aus Minoritätsträger in das Halbleitersubstrat injiziert werden können. Die Überspannungsschutzschaltung soll anpaßbar sein an unterschiedliche Schwellwerte, indem die Schwellwertspannung während des Verfahrens schrittweise höher oder tiefer gelegt werden kann.

Die Aufgabe wird erfindungsgemäß dadurch gelöst, daß die Halbleiterschicht aus einer Vielzahl von P- und N-dotierten Bereichen besteht, zwischen welchen PN-Übergänge ausgebildet sind, und daß die P- und N-dotierten Bereiche in Serienschaltung an eine Signalleitung angeschlossen sind, um für vorgegebene Schwellwerte übersteigende Spannungen eine Entladungsstrecke zu bilden.

Eine besondere Ausgestaltung der Erfindung sieht vor, daß die Überspannungsschutzschaltung zum Schutz von Eingangs- und Ausgangsleitungen integrierter Schaltung innerhalb vorgegebener Spannungsgrenzen Verwendung findet und eine leitende Strecke zum Substrat freigibt, wenn eine bestimmte vorgegebene Spannung überschritten ist. Das Substrat ist mit einer nicht leitenden Schicht überzogen, welche eine Vielzahl von P/N-Bereichen trägt, die in polykristallinen Bereichen ausgebildet und in Serienschaltung zwischen das Substrat und die Eingangs- bzw. Ausgangsleitung geschaltet sind. In vorteilhafter Weise ist es möglich, durch die Auswahl der Anzahl der in Serie geschalteten Bereiche die Überspannungsschutzschaltung an bestimmte Schwellwerte anzupassen.

Die Erfindung mit Ihren Vorteilen und Merkmalen wird anhand von auf die Zeichnung Bezug nehmenden Ausführungsbeispielen näher erläutert. Es zeigen:

Fig. 1

- Fig. 1 einen Schnitt durch eine bekannte Halbleiteranordnung mit einer Zenerdiode zum Schutz eines MOS-Gates gegen Überspannung;
- Fig. 2 einen Schnitt durch eine bekannte MOS-Halbleiteranordnung mit einem geerdeten Gate zum Schutz gegen Überspannung;
- Fig. 3 einen Schnitt durch eine bekannte Halbleiteranordnung mit einem Durchgriff zum Schutz des MOS-Gates gegen Überspannung;
- Fig. 4 einen Schnitt durch eine bekannte Halbleiteranordnung mit gegeneinander geschalteten Zenerdioden zum Schutz des MOS-Gates gegen Überspannung;
- Fig. 5 ein Schaltbild einer Halbleiteranordnung ;
- Fig. 6 eine Draufsicht auf eine Verwirklichung der Halbleiteranordnung gemäß Fig. 5;
- Fig. 7 einen Schnitt längs der Linie VII-VII der Fig. 6;
- Fig. 8 eine weitere Ausführungsform der Erfindung;
- Fig. 9 einen Schnitt längs der Linie IX-IX der Fig. 8.

In Fig. 1 ist eine bekannte Halbleiteranordnung dargestellt, bei welcher auf einem Substrat 10 eine Zenerdiode 11 durch einen  $P^+$ -Bereich 12 in der Oberfläche 13 des Substrats 10 ausgebildet ist. Die Zenerdiode 11 soll auf der Leitung 14 auftretende Überspannungen ableiten, um das Gate eines MOS-Transistors 15 mit  $P^+$ -Bereichen 16 und 17 gegen Überspannung zu schützen. Das Substrat 10 kann aus einem N-leitenden Material hergestellt sein.

In

In Fig. 2 ist eine Halbleiteranordnung in einem beispielsweise N-leitenden Substrat dargestellt, bei welcher ein MOS-Transistor 21 das Gate eines MOS-Transistors 22 gegen Überspannung schützt. Der MOS-Transistor 21 hat  $P^+$ -leitende Bereiche, welche als Source 23 und Drain 24 wirken. Das Drain 24 ist über eine Leitung 25 mit dem Gate des MOS-Transistors 22 verbunden, welcher ebenfalls  $P^+$ -leitende Bereiche als Source 26 und Drain 27 hat. Das Gate und die Source des Transistors 21 sind über eine Leitung 28 mit dem Substrat 20 verbunden, welches auf Massepotential liegt. Eine auf der Leitung 25 auftretende Überspannung wird über den Transistor 21 zum Substrat 20 abgeleitet.

Der in Fig. 3 dargestellte bekannte Halbleiteraufbau besteht aus einem Substrat 30, aus N-leitendem Material, das in der Oberfläche 31 mit einer Diodenschutzanordnung 32 mit seitlichem Durchgriff versehen ist. Die Diodenschutzanordnung 32 besteht aus zwei gegeneinander geschaltete Dioden in Form von  $P^+$ -leitenden Bereichen 33 und 34, welche in der Oberfläche 31 ausgebildet sind und z. B. etwa in einem Abstand von  $10\mu m$  nebeneinander liegen. Der  $P^+$ -Bereich 33 ist über eine Leitung 35 mit dem auf Massepotential liegenden Substrat 30 verbunden. Der  $P^+$ -Bereich 34 ist über die Leitung 36 an den Eingang und das Gate des Transistors 37 angeschlossen. Dieser Transistor 37 hat als Source 38 und Drain 39  $P^+$ -Bereiche. Die Diodenschutzanordnung 32 bietet die Schutzwirkung aufgrund des bezüglich des Substrats in Sperrichtung vorgespannten  $P^+$ -Bereiches 34. Wenn eine große Sperrspannung am  $P^+$ -Bereich 34 gegenüber dem Substrat 30 auftritt, dehnt sich die Verarmungsschicht weit genug aus, so daß sich ein Durchgriff zwischen dem  $P^+$ -Bereich 33 und dem  $P^+$ -Bereich 34 einstellt und sich eine leitende Strecke ergibt, welche von der Leitung 36 zum Substrat,

und



und damit nach Masse verläuft. Dadurch wird das Gate des MOS-Transistors 37 geschützt.

Bei einer weiteren in Fig. 4 dargestellten, bekannten Halbleiteranordnung ist ein gegeneinander geschalteter Diodenaufbau 40 vorgesehen, wobei sich ein topfförmiger P-Potentialbereich von der Oberfläche 42 aus in das N-leitende Substrat 43 erstreckt. In der Oberfläche 42 ist ein  $N^+$ -leitender Bereich 44 innerhalb des P-Potentialbereichs 41 ausgebildet. Dieser  $N^+$ -Bereich 44 wird über die Leitung 45 an den Eingang und damit das Gate des MOS-Transistors 46 angeschlossen. Dieser MOS-Transistor 46 hat eine Source 47 und ein Drain 48, welche aus  $P^+$ -Bereichen bestehen. Das Gate des MOS-Transistors 46 wird gegenüber Spannungen in positiver und negativer Richtung geschützt, indem der gegeneinander geschaltete Diodenaufbau 40 Strom durch die in Sperrichtung vorgespannte Diode vom Bereich 41 zum Substrat 43 für positive Überspannungen und vom Bereich 41 zum Bereich 44 für negative Überspannungen leitet.

In Fig. 5 ist ein Schaltbild einer Ausführungsform gemäß der Erfindung dargestellt, wie sie bei der Halbleiteranordnung gemäß Fig. 6 verwirklicht ist. Die Eingangsleitung 51 ist an das Gate eines MOS-Transistors 52 und an die eine Seite der Diodenschutzschaltung 53 angeschlossen. Die andere Seite der Diodenschutzschaltung 53 liegt über die Leitung 60 an Masse. Die Diodenschutzschaltung besteht aus einer Vielzahl von in Serie hintereinander geschalteten Dioden, wobei jeweils 2 Dioden gegeneinander geschaltet sind. So sind z. B. die Anoden der Dioden 54 und 55 und die Kathoden der Dioden 55 und 56 jeweils gegeneinander geschaltet. Entsprechend sind die Anoden der Dioden 56 und 57 und die Kathoden der Dioden 57 und 58 miteinander verbunden. Dies trifft auch für die Anoden der Dioden 58 und 59 zu.

Die

Die Kathode der Diode 59 ist über die Leitung 60 an Masse angeschlossen. Die Kathode der Diode 54 ist an die Eingangsleitung 51 angeschlossen. Der MOS-Transistor 52 hat eine Source, welche mit der Leitung 61 und ein Drain, welches mit der Leitung 63 verbunden ist. Der Kristallkörper des MOS-Transistors 52 liegt an Masse. Dieser MOS-Transistor 52 ist die vor Überspannung zu schützende Halbleiteranordnung. Eine andere Halbleiteranordnung, welche vor Überspannungen zu schützen ist, kann beispielsweise ein ladungsgekoppelter Speicher (CCD) sein.

In Fig. 6 ist eine Draufsicht auf eine Ausführungsform der Erfindung und in Fig. 7 ein Schnitt längs der Linie VII-VII der Fig. 6 dargestellt. Die Halbleiteranordnung ist auf einem Substrat 64 aufgebaut, welches ein monokristallines Silicium mit N-dotiertem Germanium oder Galliumarsenid sein kann. Alternativ kann das Substrat auch aus Saphir, Aluminiumoxyd oder Spinell aufgebaut sein, auf welchem ein Halbleitermaterial aus Silicium angeordnet ist. Die Oberfläche 65 des Substrats ist mit einer nichtleitenden Schicht 66 z. B. einem thermischen Oxyd mit einer Dicke von etwa 1400 Å überzogen. Diese nichtleitende Schicht 66 kann auch durch Aufdampfen eines Oxyds oder von Siliciumnitrit hergestellt sein. Über der nichtleitenden Schicht ist auf der Oberfläche 67 der nichtleitenden Schicht eine Halbleiterschicht 68, z. B. aus Polysilicium angeordnet.

Die Polysiliciumschicht 68 besteht aus einer Vielzahl von nebeneinander liegenden und in Serie geschalteten dotierten Bereichen 69 bis 75. Die Bereiche 69, 71, 73 und 75 sind N-dotiert, wogegen die Bereiche 70, 72 und 74 P-dotiert sind. Zwischen den Bereichen 69 und 70 bildet sich ein PN-Übergang 76 aus, weitere PN-Übergänge 77, 78, 79, 80 und 81 sind zwischen den Bereichen 70 und 71 bzw. 71 und 72 bzw. 72 und 73 bzw. 73 und 74 sowie 74 und 75 ausgebildet. Die

PN- Übergänge 76 bis 81 bilden die Dioden 54 bis 59 gemäß Fig. 5. Diese PN-Übergänge 76 bis 81 haben jeweils eine Durchbruchspannung in der Größenordnung von etwa 7 Volt.

Zur Herstellung der PN-Übergänge kann jedes beliebige Halbleitermaterial Verwendung finden, was für die Ausbildung einer Diodenschutzschaltung 53 geeignet ist. Somit können Halbleitermaterialien wie Silicium, Germanium, Galliumarsenid, Indiumantimonid usw. Verwendung finden. Die einzelnen Bereiche 69 bis 75 haben eine Länge von etwa acht  $\mu\text{m}$  und eine Breite von etwa 10  $\mu\text{m}$ . Eine nichtleitende Schicht 84 aus Siliciumdioxid ist einerseits über der Polysiliciumschicht 68 und andererseits über dem thermischen Oxyd 66 ausgebildet. In dieser Schicht verlaufen Öffnungen 82 und 83 zur Oberfläche 85, welche mit einem entsprechenden Ätzverfahren angebracht worden sind und die Kontaktierung der Diodenschutzschaltung mit Hilfe von niedergeschlagenem Aluminium ermöglichen. Eine derartige leitende Verbindung besteht zwischen dem Bereich 69 und der Kontaktfläche 51. Ebenso ist der Bereich 75 mit der Kontaktfläche 60 leitend verbunden. Eine weitere Öffnung in den nichtleitenden Schichten 84 und 86 wird zur Herstellung einer elektrisch leitenden Verbindung zwischen der Kontaktfläche 60 und dem  $\text{N}^+$ -leitenden Bereich 86 verwendet, welcher im Substrat 64 ausgebildet ist. Damit wird eine gute leitende Verbindung zum Substrat 64 hergestellt.

Die Kontaktfläche 51 verbindet gemäß Fig. 6 die Diodenschutzschaltung 53 mit dem Gate des MOS-Transistors 52, für welchen eine Source 88 und ein Drain 89 ebenfalls im Substrat 64 ausgebildet ist. Dieser MOS-Transistor 52 ist lediglich ein Beispiel einer gegen

Überspannung

Überspannung zu schützenden Halbleiteranordnung. Eine solche Halbleiteranordnung kann auch aus einem ladungsgekoppelten Speicher bestehen. Um die Kontaktfläche 61 mit der Source 68 zu verbinden, sind in den nichtleitenden Schichten 66 und 84 entsprechend Öffnungen vorgesehen. Dies gilt auch für die Verbindung der Kontaktfläche 62 mit dem Drain 69. Die Kontaktflächen 61 und 62 können aus Aluminium bestehen, wogegen die Bereiche 88 und 89 aus einem P-leitenden Material in einem N-leitenden Substrat 64 hergestellt sein können. Das Substrat 64 ist auf Massepotential gelegt.

Im Betrieb bietet die Diodenschutzschaltung 53 einen Entladungsweg für Überspannungen, wenn diese sowohl in positiver als auch in negativer Richtung einen bestimmten vorgegebenen Wert übersteigen. Wie aus Fig. 7 hervorgeht ist die Diodenschutzschaltung 53 elektrisch vom Substrat 64 durch die Oxydschicht 66 isoliert, wodurch die Injektion von Minoritätsträgern in das Substrat vermieden wird. Die drei gegeneinander geschalteten Diodenpaare schützen gegen Überspannungen auf der Leitung 51, welche einen Wert von etwa  $\pm 21$  Volt übersteigen. Durch eine Anordnung von mehr oder weniger Diodenpaaren in der Serienschaltung können höhere und niedrigere Überspannungsschwellwerte festgelegt werden, wobei dies jeweils in Schritten von etwa 7 Volt möglich ist. Die Überspannungsschutzschaltung kann mit herkömmlichen in der integrierten Schaltungstechnik üblichen Verfahrensschritten aufgebaut werden und erfordert für die meisten Silicium-MOS-Halbleiteranordnungen keine zusätzlichen Verfahrensschritte. Durch die nichtleitende Schicht 66 zwischen der Polysiliciumschicht 68 und dem Substrat 64 ergeben sich keine gleitenden diffundierten Bereiche, von welchen aus Minoritätsträger in das Substrat injiziert werden können.

In Fig. 8

In Fig. 8 ist eine weitere Ausführungsform der Erfindung dargestellt, von welcher Fig. 9 einen Schnitt längs der Linie IX-IX der Fig. 8 zeigt. Das Substrat 90 besteht aus einem isolierenden Material, wie z. B. Saphir, Spinell oder Aluminiumoxyd. Auf der Oberfläche 91 des Substrats 90 sind Halbleitermaterialien 68 und 92 ausgebildet. Diese Halbleitermaterialien können beispielsweise aus Silicium, Germanium oder Alliumarsenid bestehen und können als Schicht abgelagert sein, welche durch Ätzen bereichsweise entfernt wird, um isolierte Halbleiterbereiche auszubilden. Das Halbleitermaterial 92 hat einen  $N^+$ -Bereich 86, der mit der Kontaktfläche 60 über eine ohmsche Verbindung durch die nichtleitende Schicht 84 verbunden ist. In dem Substrat sind ferner P-Bereiche 88 und 89 als Source und Drain eines Transistors 52 ausgebildet, dessen Gate von der Kontaktfläche 51 gebildet wird. Diese Kontaktfläche 51 dient als Signalanschluß, wogegen die Kontaktfläche 60 der Spannungszuführung dient.

Im Betrieb wird ein Entladungsweg von der als Signalanschluß dienenden Kontaktfläche 51 zu der der Spannungszuführung dienenden Kontaktfläche 60 hergestellt, wenn Überspannungen oberhalb einem vorgegebenen positiven oder negativen Schwellwert bezogen auf den Spannungsanschluß auftreten.

Die Überspannungsschutzschaltung wurde für integrierte Schaltkreise beschrieben und umfaßt eine Polysiliciumschicht, welche über einer thermischen Oxydschicht oder einem anderen geeigneten nichtleitenden Material angeordnet ist. Die Schutzschaltung besteht aus in Serie nebeneinander angeordneten N-leitenden und P-leitenden Bereichen, aus welchen gegeneinander geschaltete Dioden gebildet sind, welche in Serienschaltung zueinander liegen. Durch die Anzahl der

gegeneinander

3142591

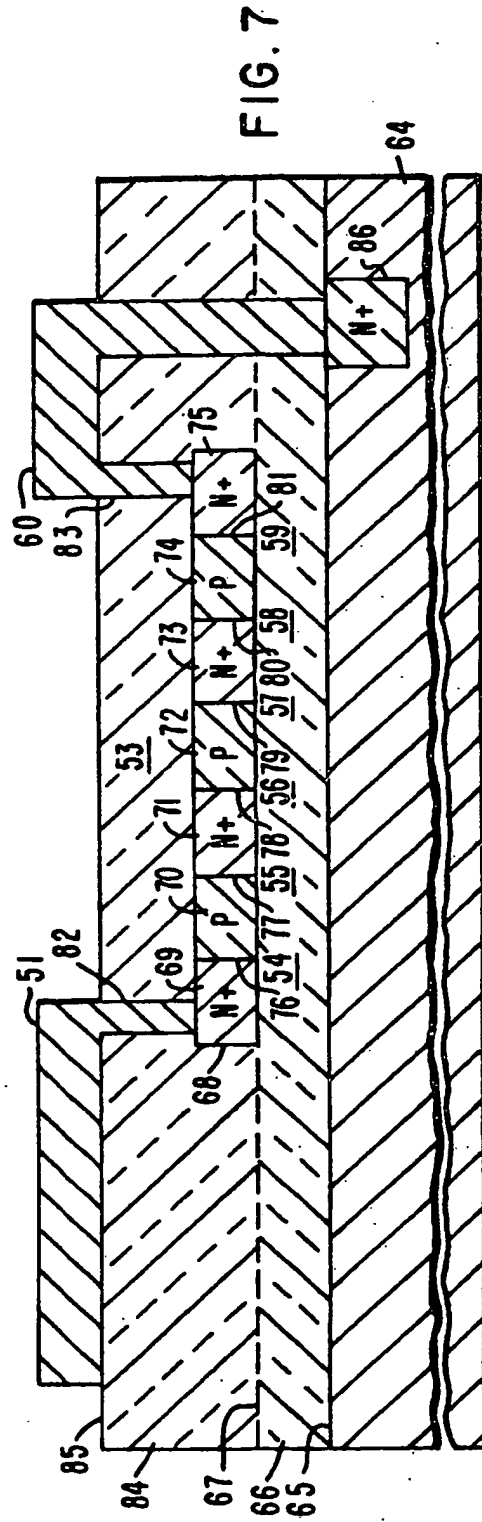
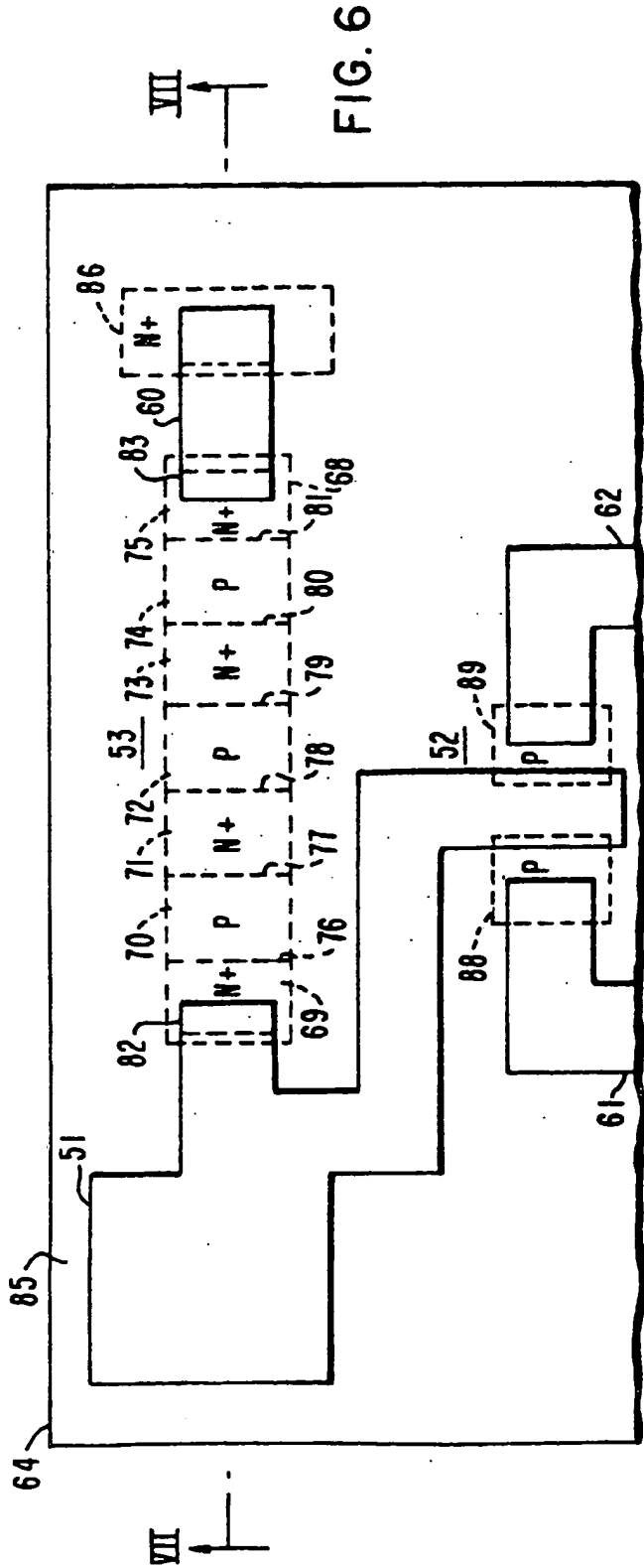
- 13 -

WS288P-2400

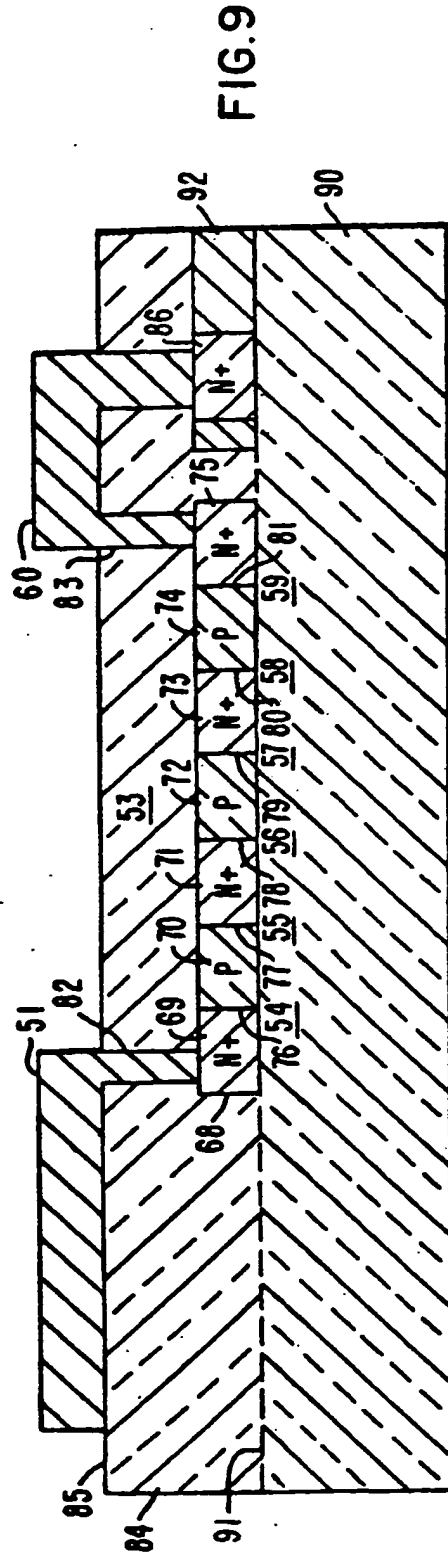
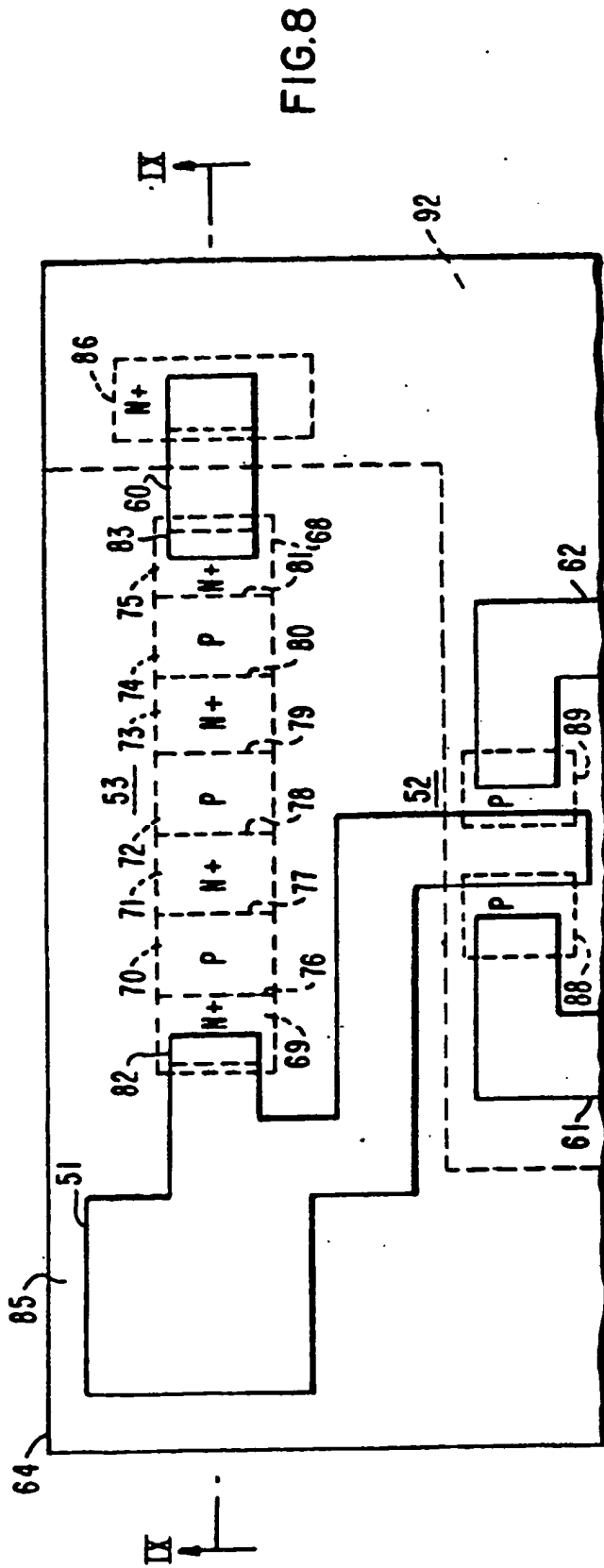
gegeneinander geschalteten Diodenpaare kann der Schwellwert der Schutzschaltung festgelegt werden, wobei gleichzeitig ein Überspannungsschutz für positive und negative Spannungen geschaffen wird, um diese von der Eingangsleitung nach Masse abzuleiten.

-----

- 14 -  
Leerseite







3142591

- 17 -

Nummer:

3142591

Int. Cl. 3:

H02H 7/127

Anmeldetag:

27. Oktober 1981

Offenlegungstag:

14. Oktober 1982

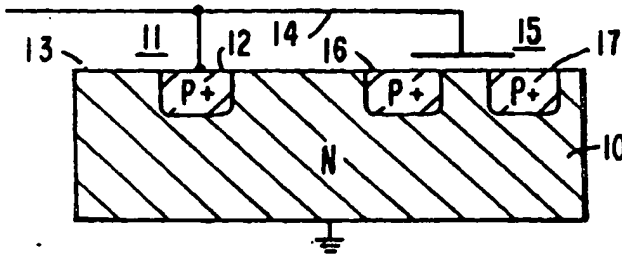


FIG. 1

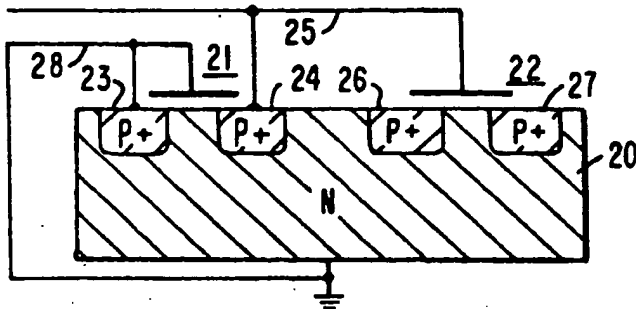


FIG. 2

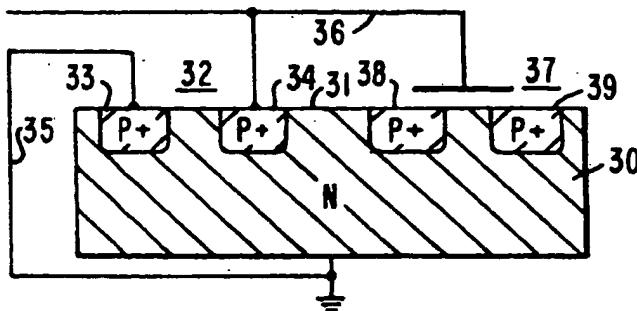


FIG. 3

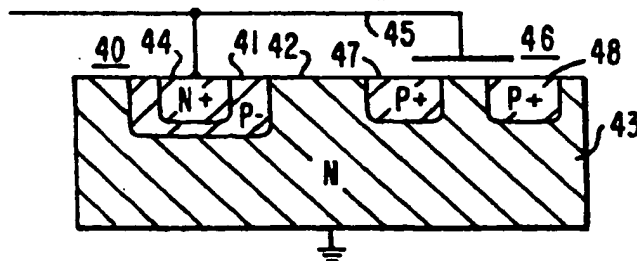


FIG. 4

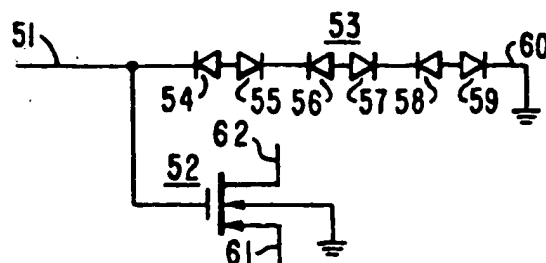


FIG. 5